

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-230362

(43)Date of publication of application : 05.09.1997

3

(51)Int.Cl.

G02F 1/1343

G02F 1/1335

(21)Application number : 08-058330

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 20.02.1996

(72)Inventor : OHORI TATSUYA  
TAKEI MICHIKO  
CHIYOU KOUYUU  
SUZAWA HIDEOMI  
YAMAGUCHI NAOAKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the generation of defects caused by charging of black matrix in the manufacturing process and improve reliability after the device is completed by forming the electrode which brings the black matrix to the common potential using a transparent conductive film constituting a pixel electrode.

**SOLUTION:** A common electrode 303 is formed in order to bring the black matrix 302 to the common potential using a transparent conductive film 227 constituting a pixel electrode 228. After such manufacturing process, a final protective film is formed; on top of it a wrapping film is formed to wrap the liquid crystal; and after that the wrapping process is executed. In this case, it is possible to hold the black matrix 302 at a specified potential and to avoid accumulation of charge there so that generation of defects such as destruction of thin film transistors due to generation of static electricity and electrostatic breakage of insulation films is avoided and reliability of the device after the device is completed is improved.



## LEGAL STATUS

[Date of request for examination]

21.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3647542

[Date of registration]

18.02.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The liquid crystal display characterized by forming the electrode for making a black matrix into common potential the transparence electric conduction film which is the liquid crystal display which has a active-matrix mold, and constitutes a pixel electrode being also.

[Claim 2] The liquid crystal display which is a liquid crystal display which has a active-matrix mold, and is characterized by forming the electrode for making a black matrix into common potential on the same layer as a source line.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Invention indicated on these specifications relates to the configuration of the liquid crystal display of a active-matrix mold. Moreover, it is related with the production approach.

[0002]

[Description of the Prior Art] Conventionally, the liquid crystal display of a active-matrix mold is known. This arranges a thin film transistor to each of the pixel arranged in the shape of a matrix, and controls that it is also at a thin film transistor about the charge which frequents a pixel electrode.

[0003] In such a configuration, the light-shielding film called the black matrix (BM) arranged as covers the part of the edge of a pixel electrode is needed. As BM, the metal membrane which usually has the thickness of about thousands of Å is used.

[0004] Although this black matrix does not play a role especially electrically, it exists over the whole pixel matrix field.

[0005] However, the problem that an unnecessary charge is accumulated there produces that a thin metal membrane is inserted into an insulator layer, and exists in the whole pixel matrix field.

[0006] This poses a problem also not only in after completion of equipment but in its making process.

[0007] As everyone knows, generally in the making process of a thin film transistor, the membrane formation process and etching process using the plasma are carried out.

[0008] Under the present circumstances, if the conductive ingredient which floated electrically exists, a charge is accumulated there and the electrostatic discharge of an insulator layer will be produced.

[0009] The thickness of the insulator layer generally used is thousands of Å. Moreover, it exists in the interior of the insulator layer (the oxidation silicon film and silicon nitride film) formed by the CVD method or the sputter by the consistency which can disregard neither a defect nor a pinhole.

[0010] Therefore, as a result of the phenomenon in which a charge will be accumulated in the above BM arising, an insulator layer will carry out an electrostatic discharge locally.

[0011] This is in the middle of production, and means that a defect occurs to some equipments. That is, some thin film transistors lapse into a malfunction, or the problem of the malfunction of the circuit by existence of leakage current arises.

[0012] And especially this poses a problem in the middle of production of equipment. Moreover, it becomes the factor which spoils the dependability after completion of equipment.

[0013]

[Problem(s) to be Solved by the Invention] Invention indicated on these specifications makes it a technical problem to solve the problem on which an above-mentioned black matrix is charged. That is, let it be a technical problem to control a defect's generating in the making process produced when a black matrix is charged, and to raise the dependability after equipment completion.

[0014]

[Means for Solving the Problem] As the concrete configuration is shown in drawing 4, one of the invention indicated on these specifications is a liquid crystal display which has a active-matrix mold, and it is characterized by forming the electrode 303 for making the black matrix 302 into common potential the transparency electric conduction film 227 which constitutes the pixel electrode 228 being also.

[0015] As the concrete example is shown in drawing 4, the configuration of other invention is a liquid crystal display which has a active-matrix mold, and is characterized by forming the electrode 217 for making the black matrix 302 into common potential on the same layer as the source line 215 (referring to drawing 2).

[0016]

[Example]

[Example 1] The outline which saw the liquid crystal display of a active-matrix mold from the top face to drawing 1 is shown. The circumference drive circuits 103 and 111 for driving the thin-film transistor arranged to the active-matrix field 101 which has the pixel electrode arranged in the shape of [ of a-100 several 100x number ] a matrix, and this active-matrix field 101 are shown in drawing 1.

[0017] In the active-matrix field 101, the pixel electrode arranged in the shape of a matrix is arranged. And the thin film transistor is arranged at each of a pixel electrode.

[0018] \*\*\*\* which expanded the configuration of a active matrix is shown in 107. The gate line indicated to be the source line (called the data line) shown by 109 by 108 in a active-matrix field as shown in an enlarged drawing 107 is arranged in the shape of a grid.

[0019] The thin film transistor 110 is arranged to the field surrounded by the source line and the gate line. And the source of a thin film transistor is connected to the source line. Moreover, the drain is connected to the pixel electrode which is not illustrated. The pixel electrode is arranged to the field surrounded by the gate line and the source line.

[0020] In drawing 1, 102 is the aperture of a black matrix. And fields other than this opening were being shaded. The pixel electrode exists in opening shown by this 102.

[0021] The black matrix has extended in the common electrode shown by 105,106,100 in order to make self hold to predetermined potential. A common electrode is connected with the common electrode arranged too at the confrontation electrode through a conductive pad, when sticking with a confrontation substrate.

[0022] Moreover, as shown also to a cash-drawer terminal area in 104, wiring has extended from the common electrode.

[0023] By considering as such a configuration, what a black matrix is maintained by predetermined potential, for example, some equipments are destroyed under the effect of static electricity etc. can be prevented.

[0024] The making process of the liquid crystal display of the active-matrix mold which has a configuration as shown below at drawing 1 is shown. The making process of a part with which one thin film transistor of the pixel of the active-matrix field shown by 101 of drawing 1 has been arranged here, The making process of a part with which the thin film transistor of P type and the thin film transistor of N type which are arranged to the circumference drive circuit field shown in a pan by 103 or 111 have been arranged, The making process of the common electrode section shown in a pan by 105-107 especially the making process of the cross section cut with C-C', the making process of a terminal area shown by further 104, especially the making process of the cross section cut with B-B' are shown.

[0025] The making process of each part is shown in drawing 2 . First, the substrate film which is not illustrated on a glass substrate 201 is formed in thickness of 3000Å. It constitutes that this substrate film is also for the oxidation silicon film or an oxidation silicon nitride film. This substrate film has the role which prevents diffusion of the impurity from a glass substrate.

[0026] Next, by forming the amorphous silicon film which is not illustrated in thickness of 500Å by the plasma-CVD method, and performing heat-treatment and the exposure of laser light further, it is made to crystallize and the crystalline silicon film is obtained.

[0027] By carrying out patterning of the crystalline silicon film furthermore obtained, the fields 202, 203, and 204 of the shape of an island used as the barrier layer of a thin film transistor are formed. In this way, the condition which shows in drawing 2 (A) is acquired. Since a thin film transistor is formed in a circumference circuit and the pixel section, it is not formed in a terminal area and the common section at all in this condition.

[0028] Next, the oxidation silicon film 205 which functions as gate dielectric film is formed in thickness of 1000Å. It carries out that membrane formation of the oxidation silicon film 205 which constitutes this gate electrode is also with a plasma-CVD method.

[0029] Next, the aluminum film which constitutes a gate electrode and which is not illustrated is formed by the spatter in thickness of 4000Å. It is a scandium in order to control generating of a hillock in this aluminum film 0.2 Weight % content of is done. In a heating process, abnormality growth of aluminum takes place and a hillock means the phenomenon in which irregularity and a projection will be formed in the front face of the film or a pattern.

[0030] Furthermore patterning of the above-mentioned aluminum film is carried out, and the gate electrodes 206, 208, and 210 are formed. Moreover, gate wiring which extended from there in formation and coincidence of a gate electrode is formed in coincidence. These gate electrodes and gate wiring are called wiring of the 1st layer for convenience.

[0031] And by anodizing in an electrolyte by making this gate electrode into an anode plate, the oxide films on anode 207, 209, and 211 which have precise membraneous quality are formed. The thickness of this oxide film on anode may be 1000Å.

[0032] This oxide film on anode has the role which prevents that a hillock occurs in the front face of gate wiring which extended from a gate electrode and there. In addition, if thickness of this oxide film on anode is made still thicker, an offset gate field can be formed in the impregnation process of next impurity ion.

[0033] By pouring in impurity ion here, the source / drain field, and a channel formation field are formed in each barrier layer.

[0034] Here, P (Lynn) ion is poured into barrier layers 202 and 204. Moreover, B (boron) ion is poured into a barrier layer 203. Alternative impregnation of impurity ion is performed by using a resist mask.

[0035] In this process, the source fields 21, 26, and 27 and the drain fields 23, 24, and 29 are formed in

self align. Moreover, the channel formation fields 22, 25, and 28 are formed in self align.

[0036] The exposure of laser light is performed after the impregnation process of impurity ion, and the field where ion was poured in is activated. The approach by the exposure of infrared light or ultraviolet radiation may be used for this process.

[0037] In this way, the condition which shows in drawing 2 (B) is acquired. Next, the 1st interlayer insulation film 212 is formed in thickness of 1000Å. This interlayer insulation film 212 uses a silicon nitride film. The membrane formation approach of a silicon nitride film should just use a plasma-CVD method. ( Drawing 2 (C))

[0038] In addition, as the 1st interlayer insulation film 212, the oxidation silicon film and an oxidation silicon nitride film can be used.

[0039] Next, contact holes 30-35 are formed. ( Drawing 2 (D))

[0040] If the condition which shows in drawing 2 (D) is acquired, the electrode which contacts each barrier layer as shown in drawing 2 (E) will be formed. Here, the source electrodes 36 and 214 of the thin film transistor arranged in a circumference circuit, the drain electrodes 212 and 213, the source electrode 215 of the thin film transistor arranged further at the pixel section, and the drain electrode 215 are formed.

[0041] Moreover, at this time, it extends from each electrode and required wiring is formed. For example, the source wiring which extended from there is formed in formation and coincidence of the source electrode 215 of the thin film transistor of the pixel section. Moreover, the circuit pattern needed is formed in a circumference circuit. In addition, CMOS structure can be acquired by connecting the drain electrodes 212 and 213 in a circumference circuit.

[0042] Moreover, an electrode is formed in coincidence also in a terminal area and the common section. Here, the patterns 219 and 218 which form the electrode of a terminal area, and the pattern 217 which constitutes a common electrode from the common section further are formed. A common electrode extends in a terminal area and is connected to appropriate potential. ( Drawing 2 (E))

[0043] The electrode formed at the process shown by this drawing 2 (E) and a pattern are formed as what has the three-tiered structure which becomes by the 500-1000Å titanium film, the aluminum film of 2000Å thickness, and the titanium film of 1000Å thickness.

[0044] The electrode and pattern which are formed at this process are called wiring of a two-layer eye for convenience.

[0045] Let the lowest layer be the titanium film first because electric contact to aluminum and the semi-conductor which constitutes a barrier layer does not work. This is because ohmic contact with aluminum good with a semi-conductor cannot be taken.

[0046] Moreover, let a central layer be aluminum for carrying out the maximum use of the lowness of the electric resistance.

[0047] Moreover, let the maximum upper layer be the titanium film for contacting the pixel electrode (ITO electrode) and the drain electrode 216 of the thin film transistor of the pixel section which are formed behind.

[0048] That is, although good ohmic contact cannot be taken if aluminum and an ITO electrode are contacted directly, the titanium film, an ITO electrode and the titanium film, and aluminum are because good ohmic contact can be taken.

[0049] Moreover, in a next process, the need of connecting BM and the common electrode 217 of a two-layer eye with an ITO electrode also in the common section is carried out. Under the present circumstances, in order to make electric contact to an ITO electrode good, to use the maximum upper layer of wiring of a two-layer eye as the titanium film is needed.

[0050] Moreover, in a next process, the terminal electrodes 218 and 219 and ITO electrode which become with wiring of a two-layer eye also in a terminal area need to contact. Under the present circumstances, in order to make good electric contact to a terminal electrode and an ITO electrode, to use the maximum upper layer of wiring of a two-layer eye as the titanium film is needed.

[0051] In this way, the condition which shows in drawing 2 (E) is acquired. Next, as shown in drawing 3 (A), the oxidation silicon film 301 is formed in thickness of 2000A as the 2nd interlayer insulation film.

[0052] If the condition which shows in drawing 3 (A) is acquired, since BM (black matrix) is constituted as shown in drawing 3 (B), the titanium film will be formed in thickness of 3000A. As BM, the cascade screen of the chromium film or the titanium film, and the chromium film or other suitable metal membranes can be used.

[0053] In drawing 3 (B), what it functions on as BM is a part shown by 302. The part which extended from BM shown by 302 to the common section is shown by 303.

[0054] Next, as shown in drawing 3 (C), the 3rd interlayer insulation film 221 is formed. Here, a plasma-CVD method is formed for the oxidation silicon film of 2000A thickness.

[0055] As furthermore shown in drawing 3 (C), openings 222, 223, 224, and 225 are formed. 222 is opening for forming the electrode of a terminal area here. Moreover, 223 and 224 are openings for connecting wiring and BM of a two-layer eye electrically.

[0056] Moreover, 225 is opening for the ITO electrode which is a pixel electrode behind to contact the drain electrode 216 of the thin film transistor of a pixel part.

[0057] And the electrode 226 which becomes by ITO as shown in drawing 4 (A), and 227 and 228 are formed in coincidence. Here, 228 is the part which functions as a pixel electrode. Moreover, it becomes an electrode pattern in order that 227 may connect the wiring 217 of a two-layer eye, and the electrode pattern 220 which extended from BM.

[0058] In addition, on the electrode pattern 227 of the common section, the electrode for contact to a confrontation substrate is further formed with a silver paste.

[0059] By adopting the configuration shown above, BM layer can consider as the configuration to avoid considering as the condition of having floated electrically.

[0060] For example, the final protective coat which is not illustrated is formed after the process shown in drawing 4 (A), the rubbing film which is not illustrated for carrying out rubbing of the liquid crystal is further formed on it, and a rubbing process is carried out after that. Under the present circumstances, a thin film transistor is destroyed by generating of static electricity, or an insulator layer sometimes carries out an electrostatic discharge plentifully.

[0061] However, since it can avoid that a charge accumulates a black matrix there as predetermined potential when the configuration shown in this example is adopted, the above defects' generating can be prevented.

[0062] [Example 2] This example is related with the configuration from which some processes differed in an example 1. Drawing 3 (A) of the making process shown in this example is the same as that of what was shown in the example 1.

[0063] According to the making process first shown in the example 1, the condition which shows in drawing 3 (A) is acquired. If the condition which shows in drawing 3 (A) is acquired, as shown in drawing 5 (A), openings 501, 502, and 503 will be formed. That is, opening shown in the 2nd interlayer insulation film 301 by 501-503 is formed.

[0064] Next, the condition which shows in drawing 5 (B) is acquired by forming the titanium film which constitutes BM and carrying out patterning of it.

[0065] 507 is the pattern which achieves the function as original BM here.

[0066] Moreover, it is a pattern for contacting directly the pattern with which 506 extended from BM, and the electrode 217 for common [ of a two-layer side ].

[0067] Moreover, 504 and 505 are the electrodes in contact with the electrodes 218 and 219 of the first layer which constitute a terminal area.

[0068] In this example, it is the point that that an electrode is constituted as the ingredient which constitutes BM is also differs from an example 1, in a terminal area. Moreover, it is the point of differing from an example 1 in that the electrode 506 which extended from BM in the common section, and the common electrode 217 of a two-layer eye contact directly.

[0069] If the condition which shows in drawing 5 (B) is acquired, the interlayer insulation film 508 of the 3rd layer will be formed. Here, like an example 1, the interlayer insulation film 508 of the 3rd layer is formed as the oxidation silicon film is also. ( Drawing 5 (C) )

[0070] Furthermore, a contact hole is formed. And the ITO film is formed in thickness of 1500Å by the sputter. And the pixel electrode 512 is formed by carrying out patterning of it.

[0071] Moreover, the electrode 511 in the common section is formed in coincidence. This electrode 511 turns into an electrode, in order to contact the common electrode of an opposite substrate behind. Moreover, 504 and 505 form the electrode terminal in a terminal area.

[0072] When the configuration of this example is adopted, the electrode 506 which extended from BM507, and the electrode 217 for common [ of a two-layer eye ] can consider as the configuration which contacts directly. And the contact can be made into a positive thing.

[0073] Since the connection between this BM and the electrode for common [ of a two-layer eye ] is for holding common potential, it needs to make that contact resistance low as much as possible. For such a purpose, the configuration of this example will become useful.

[0074] [Example 3] This example does not make wiring of a two-layer eye three layer membranes which become by the titanium film / aluminum film / titanium film in the configuration shown in an example 1, but the example in the case of constituting from two-layer film of the titanium film / aluminum film is shown.

[0075] As the example 1 described, let wiring of a two-layer eye be a three-tiered structure for solving the problem of reduction of contact to a barrier layer, contact to ITO, and resistance of wiring itself.

[0076] However, since a membrane formation process increases, when reduction of production cost is considered, it is desirable [ the above multilayer structure ] to consider as what has the more few number of layers. This example is an example as which the two-layer film of the titanium film / aluminum film shall be sufficient in wiring of a two-layer eye in consideration of this point.

[0077] This example is related with the configuration from which some processes differed in an example 1. The making process shown in this example is the same as what showed drawing 3 (A) to the example 1 except for some processes.

[0078] According to the making process first shown in the example 1, the condition which shows in drawing 3 (A) is acquired. At this time, opening 35 is not formed in the process shown in drawing 2 (D).

[0079] Moreover, in the process shown in drawing 2 (E), wiring of 217-219, and the two-layer eye indicated to be further 36 by 212-215 consists of two-layer [ of the 1000Å titanium film and the 3000Å aluminum film ]. In addition, naturally an electrode 216 is not formed.

[0080] In this way, if the condition which shows in drawing 3 (A) is acquired, as shown in drawing 6 (A), openings 501, 502, 503, and 601 will be formed. That is, openings 501-503 and further 601 are formed in the 2nd interlayer insulation film 301.

[0081] Drawing 6 (A) corresponds to drawing 5 (A). Differing in both drawings is the point that the electrode 216 is formed in the corresponding part, in drawing 5 (A), although opening 601 is formed in drawing 6 (A).

[0082] Next, the condition which shows in drawing 6 (B) is acquired by forming the titanium film which constitutes BM and carrying out patterning of it. 507 is the pattern which achieves the function as original BM here.

[0083] Moreover, this pattern 506 is a pattern for contacting directly the pattern which extended from BM507, and the electrode 217 for common [ of a two-layer eye ].

[0084] Moreover, 504 and 505 are the electrodes in contact with the electrodes 218 and 219 of the first layer which constitute a terminal area.

[0085] Moreover, in this process, the electrode 602 which contacts the drain field 29 at the part of opening 601 is formed as the ingredient which constitutes BM507 is also.

[0086] In this example, it is the point that that an electrode is constituted as the ingredient which constitutes BM is also differs from an example 1, in a terminal area. Moreover, it is the point of differing

from an example 1 in that BM and the common electrode 217 of a two-layer eye contact directly. Moreover, the point formed as the electrode 602 in contact with the drain field of the thin film transistor of a pixel part is also for BM ingredient differs from an example 1 and an example 2.

[0087] In the condition which shows in drawing 6 (B), a good thing becomes clear by the two-layer film with which wiring of 217-219, and the two-layer eye indicated to be further 36 by 212-215 becomes with titanium and aluminum.

[0088] That is, BM ingredient which becomes by titanium is in contact with the top face of wiring of a two-layer eye. Therefore, even if the top face of wiring of a two-layer eye is aluminum, ohmic contact can be taken satisfactory at all.

[0089] Therefore, in this example, a lower layer can make wiring of a two-layer eye the two-layer structure where the upper layer is the aluminum film, by the titanium film.

[0090] If the condition which shows in drawing 6 (B) is acquired, the interlayer insulation film 508 of the 3rd layer will be formed. Here, like an example 1, the interlayer insulation film 508 of the 3rd layer is formed as the oxidation silicon film is also. ( Drawing 6 (C))

[0091] Furthermore, a contact hole is formed. And the ITO film is formed in thickness of 1500A by the spatter. And the pixel electrode 512 is formed by carrying out patterning of it.

[0092] Moreover, the electrode 511 in the common section is formed in coincidence. This electrode 511 turns into an electrode, in order to contact the common electrode of a confrontation substrate behind. Moreover, 509 and 510 form the electrode terminal in a terminal area.

[0093] When the configuration of this example is adopted, the electrode 506 which extended from BM507, and the electrode 217 for common [ of a two-layer eye ] can consider as the configuration which contacts directly. And the contact can be made into a positive thing.

[0094] Since the connection between this BM and the electrode for common [ of a two-layer eye ] is for holding common potential, it needs to make that contact resistance low as much as possible. \*\* which adopts the configuration of this example for such a purpose -- it is desirable.

[0095] Moreover, in addition to it, wiring of a two-layer eye can consist of two-layer film of the titanium film and the aluminum film. This will become useful in the semantics which can reduce processes.

[0096] [Example 4] This example has high potential, while BM forms membranes in the case of membrane formation of the ingredient which constitutes BM in the process shown in the examples 1-3, and it is related with the device for not carrying out the electrostatic discharge of the insulator layer.

[0097] As shown in examples 1-3, finally if possible, BM is constituted by predetermined potential. However, in the case of membrane formation of BM (a spatter is usually used), a charge is accumulated in BM in the middle of membrane formation, and we are anxious about BM having potential to the other sections.

[0098] This example solves this problem. The outline of a configuration of being shown in drawing 7 at this example is shown. As first shown in drawing 7 (B), the 1st interlayer insulation film 702 and the wiring 703 of a two-layer eye are formed on a substrate 701. Here, some wiring of a two-layer eye is made to extend to the part of the angle of a substrate 701, and it is prepared.

[0099] And in case the interlayer insulation film of a two-layer eye is formed by the plasma-CVD method, as shown in drawing 7 (A), the part in which the extension part 702 of wiring of a two-layer eye exists is arranged on \*\*, now an electrode 700 by the pawl 705 which presses down a substrate 701.

[0100] And in this condition, as shown in drawing 7 (B), the interlayer insulation film 704 of a two-layer eye is formed. Then, it will be in the condition that membrane formation is not performed into the part in which the pawl 705 existed.

[0101] And BM ingredient is formed by the spatter. Then, membrane formation, the wiring 703 of the two-layer eye which extended in coincidence, and the BM film 706 contact. If it does in this way, it can control that BM ingredient becomes specific potential before formation of a common electrode in the middle of membrane formation of BM ingredient.

[0102] In addition, 702 is an insulator layer used as the base with which wiring of a two-layer eye is



formed.

[0103]

[Effect of the Invention] By using invention indicated on these specifications, the problem on which a black matrix is charged is solvable. That is, a defect's generating in the making process produced when a black matrix is charged can be controlled. Moreover, the dependability after equipment completion can be raised.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the outline of the liquid crystal display of a active-matrix mold.

[Drawing 2] Drawing showing the making process of the liquid crystal display of a active-matrix mold.

[Drawing 2] Drawing showing the making process of the liquid crystal display of a active-matrix mold.

[Drawing 3] Drawing showing the making process of the liquid crystal display of a active-matrix mold.

[Drawing 4] Drawing showing the making process of the liquid crystal display of a active-matrix mold.

[Drawing 5] Drawing showing the making process of the liquid crystal display of a active-matrix mold.

[Drawing 6] Drawing showing the making process of the liquid crystal display of a active-matrix mold.

[Drawing 7] Drawing showing the membrane formation condition of BM ingredient.

[Description of Notations]

101 Active-Matrix Field

102 Opening Formed in BM (Black Matrix)

103 Circumference Drive Circuit

104 Terminal

105,106,100 Common electrode

107 Enlarged Drawing of Active-Matrix Circuit

108 Gate Line

109 Source Line

110 Thin Film Transistor

111 Circumference Drive Circuit

201 Glass Substrate

202, 203, 204 Barrier layer

205 Gate Dielectric Film

206, 208, 210 Gate electrode

207, 209, 211 Oxide film on anode

21, 26, 27 Source field

23, 24, 29 Drain field

22, 25, 28 Channel formation field  
212 Interlayer Insulation Film  
30-35 Contact opening  
218 219 Terminal electrode  
217 Common Electrode  
36,214,215 Source electrode  
212, 213, 216 Drain electrode  
301 Interlayer Insulation Film  
302 BM (Black Matrix)  
303 Common Electrode  
221 Interlayer Insulation Film  
226 Terminal Electrode  
227 Common Electrode  
228 Pixel Electrode

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-230362

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/1343  
1/1335

識別記号

庁内整理番号

F I

G 0 2 F 1/1343  
1/1335

技術表示箇所

審査請求 未請求 請求項の数 2 F D (全 10 項)

(21) 出願番号 特願平8-58330

(22) 出願日 平成8年(1996)2月20日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 大堀 達也

東京都町田市森野2-1-8 サンコート  
町田203号

(72) 発明者 竹井 美智子

神奈川県厚木市旭町4-1-5 古郡ハイ  
ツ108号

(72) 発明者 張 宏男

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

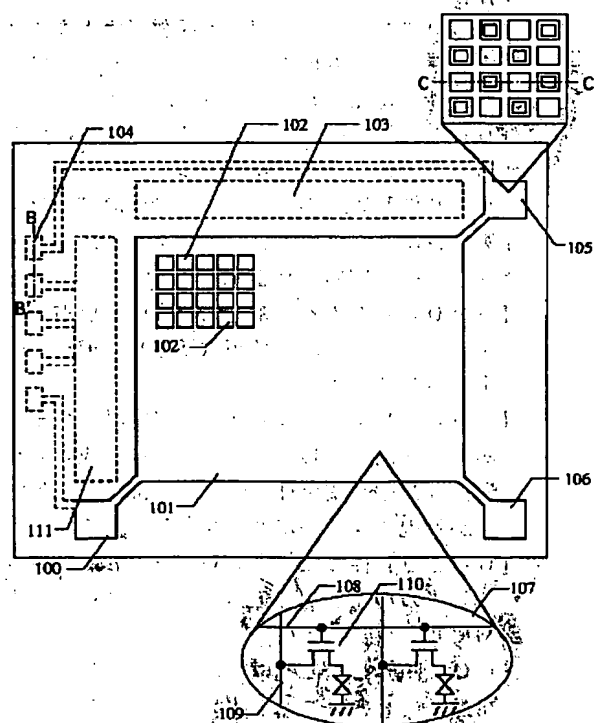
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 ブラックマトリクスが帯電してしまうことを解決する。

【構成】 画素電極を構成する透明導電膜でもってブラックマトリクスを共通電位とするための電極を形成すること、そしてその電極がソース線と同一層上に形成されていること。



(2)

## 【特許請求の範囲】

【請求項1】アクティブマトリクス型を有する液晶表示装置であって、

画素電極を構成する透明導電膜でもってブラックマトリクスをコモン電位とするための電極が形成されていることを特徴とする液晶表示装置。

【請求項2】アクティブマトリクス型を有する液晶表示装置であって、

ブラックマトリクスをコモン電位とするための電極がソース線と同一層上に形成されていることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本明細書で開示する発明は、アクティブマトリクス型の液晶表示装置の構成に関する。またその作製方法に関する。

## 【0002】

【従来の技術】従来より、アクティブマトリクス型の液晶表示装置が知られている。これは、マトリクス状に配置された画素のそれぞれに薄膜トランジスタを配置し、画素電極に出入りする電荷を薄膜トランジスタでもって制御するものである。

【0003】このような構成においては、画素電極の縁の部分の覆うようにして配置されるブラックマトリクス(BM)と呼ばれる遮光膜が必要とされる。BMとしては、通常数千Å程度の厚さを有する金属膜が利用されている。

【0004】このブラックマトリクスは電気的には特に役割を果たさないが、画素マトリクス領域の全体にわたり存在するものとなる。

【0005】しかし、薄い金属膜が絶縁膜に挟まれて、画素マトリクス領域の全体に存在することは、そこに不要な電荷が蓄積されるという問題が生じる。

【0006】このことは、装置の完成後に限らず、その作製工程においても問題となる。

【0007】周知のように、一般に薄膜トランジスタの作製工程においては、プラズマを用いた成膜工程やエッチング工程が実施される。

【0008】この際、電氣的に浮いた導電性の材料が存在すると、そこには電荷が蓄積され、絶縁膜の静電破壊を生じさせてしまう。

【0009】一般に利用される絶縁膜の膜厚は、数千Åである。またCVD法やスパッタ法で成膜された絶縁膜(酸化珪素膜や窒化珪素膜)の内部には、欠陥やピンホールが無視できない密度で存在している。

【0010】従って、上記のようなBMに電荷が蓄積されてしまう現象が生じる結果、局所的に絶縁膜が静電破壊してしまう。

【0011】このことは、作製途中で装置の一部に不良が発生してしまうことを意味する。即ち、一部の薄膜ト

ランジスタが動作不良に陥ったり、リーク電流の存在による回路の動作不良といった問題が生じる。

【0012】そしてこのことは、装置の作製途中において特に問題となる。また装置の完成後においてもその信頼性を損なう要因となる。

## 【0013】

【発明が解決しようとする課題】本明細書で開示する発明は、上述のブラックマトリクスが帯電してしまう問題を解決することを課題とする。即ち、ブラックマトリクスが帯電してしまうことによって生じる作製工程における不良の発生を抑制し、また装置完成後における信頼性を向上させることを課題とする。

## 【0014】

【課題を解決するための手段】本明細書で開示する発明の一つは、図4にその具体的な構成を示すように、アクティブマトリクス型を有する液晶表示装置であって、画素電極228を構成する透明導電膜227でもってブラックマトリクス302をコモン電位とするための電極303が形成されていることを特徴とする。

【0015】他の発明の構成は、図4にその具体的な例を示すように、アクティブマトリクス型を有する液晶表示装置であって、ブラックマトリクス302をコモン電位とするための電極217がソース線215(図2参照)と同一層上に形成されていることを特徴とする。

## 【0016】

## 【実施例】

【実施例1】図1にアクティブマトリクス型の液晶表示装置を上面からみた概要を示す。図1には、数百×数百のマトリクス状に配置された画素電極を有するアクティブマトリクス領域101、該アクティブマトリクス領域101に配置された薄膜トランジスタを駆動するための周辺駆動回路103と111が示されている。

【0017】アクティブマトリクス領域101には、マトリクス状に配置された画素電極が配置されている。そして画素電極のそれぞれには、薄膜トランジスタが配置されている。

【0018】アクティブマトリクスの構成を拡大した画略を107に示す。拡大図107に示されるようにアクティブマトリクス領域においては、109で示されるソース線(データ線とも呼ばれる)と108で示されるゲイト線とが格子状に配置されている。

【0019】薄膜トランジスタ110はソース線とゲイト線とに囲まれた領域に配置されている。そして薄膜トランジスタのソースはソース線に接続されている。またドレインは図示しない画素電極に接続されている。画素電極は、ゲイト線とソース線とで囲まれた領域に配置されている。

【0020】図1において、102がブラックマトリクスの開孔部である。そしてこの開口部以外の領域は遮光されたものとなっている。この102で示される開口部

(3)

3

に画素電極が存在している。

【0021】ブラックマトリクスは、自身を所定の電位に保持させるために105、106、100で示されるコモン電極に延在している。コモン電極は、対抗基板と貼り合わせる時にやはり対抗電極に配置されたコモン電極と導電性のパッドを介して接続される。

【0022】また、引出し端子部にも104で示されるようにコモン電極から配線が延在している。

【0023】このような構成とすることにより、ブラックマトリクスが所定の電位に維持され、例えば静電気等の影響で装置の一部が破壊されるようなことを防ぐことができる。

【0024】以下に図1に示すような構成を有するアクティブマトリクス型の液晶表示装置の作製工程を示す。ここでは、図1の101で示されるアクティブマトリクス領域の画素の一つの薄膜トランジスタが配置された部分の作製工程、さらに103または111で示される周辺駆動回路領域に配置されるP型の薄膜トランジスタとN型の薄膜トランジスタとが配置された部分の作製工程、さらに105～107で示されるコモン電極部分の作製工程、特にC-C'で切った断面の作製工程、さらに104で示される端子部の作製工程、特にB-B'で切った断面の作製工程を示す。

【0025】図2に各部分の作製工程を示す。まず、ガラス基板201上に図示しない下地膜を3000Åの厚さに成膜する。この下地膜は酸化珪素膜または酸化窒化珪素膜でもって構成する。この下地膜は、ガラス基板からの不純物の拡散を防ぐ役割を有している。

【0026】次に図示しない非晶質珪素膜をプラズマCVD法で500Åの厚さに成膜し、さらに加熱処理やレーザー光の照射を行うことにより、結晶化させ結晶性珪素膜を得る。

【0027】さらに得られた結晶性珪素膜をパターンニングすることにより、薄膜トランジスタの活性層となる島状の領域202、203、204を形成する。こうして図2(A)に示す状態を得る。薄膜トランジスタは、周辺回路と画素部に形成されるので、この状態においては、端子部とコモン部とはなにも形成されない。

【0028】次にゲイト絶縁膜として機能する酸化珪素膜205を1000Åの厚さに成膜する。このゲイト電極を構成する酸化珪素膜205の成膜はプラズマCVD法でもって行う。

【0029】次にゲイト電極を構成する図示しないアルミニウム膜を4000Åの厚さにスパッタ法で成膜する。このアルミニウム膜中にはヒロックの発生を抑制するためにスカンジウムを0.2重量%含有させる。ヒロックとは、加熱工程において、アルミニウムの異常成長が起こり、膜やパターンの表面に凹凸や突起物が形成されてしまう現象をいう。

【0030】さらに上記アルミニウム膜をパターンニング

4

し、ゲイト電極206、208、210を形成する。またゲイト電極の形成と同時にそこから延在したゲイト配線を同時に形成する。これらのゲイト電極やゲイト配線は、便宜上1層目の配線と呼ばれている。

【0031】そしてこのゲイト電極を陽極として電解溶液中で陽極酸化を行うことにより、緻密な膜質を有する陽極酸化膜207、209、211を形成する。この陽極酸化膜の膜厚は1000Åとする。

【0032】この陽極酸化膜は、ゲイト電極およびそこから延在したゲイト配線の表面においてヒロックが発生することを防止する役割を有している。なお、この陽極酸化膜の膜厚をさらに厚くすると、後の不純物イオンの注入工程において、オフセットゲイト領域を形成することができる。

【0033】ここで不純物イオンの注入を行うことにより、各活性層にソース/ドレイン領域とチャネル形成領域とを形成する。

【0034】ここでは、活性層202と204とにP(リン)イオンを注入する。また活性層203にB(ボロン)イオンの注入を行う。不純物イオンの選択的な注入は、レジストマスクを用いることによって行う。

【0035】この工程において、ソース領域21、26、27、ドレイン領域23、24、29が自己整合的に形成される。またチャネル形成領域22、25、28が自己整合的に形成される。

【0036】不純物イオンの注入工程後、レーザー光の照射を行い、イオンの注入された領域の活性化を行う。この工程は、赤外光や紫外光の照射による方法を用いてよい。

【0037】こうして図2(B)に示す状態を得る。次に第1の層間絶縁膜212を1000Åの厚さに成膜する。この層間絶縁膜212は窒化珪素膜を用いる。窒化珪素膜の成膜方法は、プラズマCVD法を用いればよい。(図2(C))

【0038】なお第1の層間絶縁膜212としては、酸化珪素膜や酸化窒化珪素膜を利用することができる。

【0039】次にコンタクトホール30～35を形成する。(図2(D))

【0040】図2(D)に示す状態を得たら、図2(E)に示すように各活性層にコンタクトする電極を形成する。ここでは、周辺回路に配置される薄膜トランジスタのソース電極36と214、ドレイン電極212と213、さらに画素部に配置される薄膜トランジスタのソース電極215、ドレイン電極215を形成する。

【0041】またこの時、各電極から延在して必要な配線が形成される。例えば、画素部の薄膜トランジスタのソース電極215の形成と同時に、そこから延在したソース配線が形成される。また、周辺回路においては、必要とされる配線パターンが形成される。なお、周辺回路においてドレイン電極212と213とを接続すること

(4)

5

でCMOS構造を得ることができる。

【0042】また、端子部とコモン部においても同時に電極が形成される。ここでは、端子部の電極を形成するパターン219と218、さらにコモン部ではコモン電極を構成するパターン217が形成される。コモン電極は、端子部に延在し、しかるべき電位に接続される。

(図2(E))

【0043】この図2(E)で示される工程で形成される電極やパターンは、500~1000Åのチタン膜と2000Å厚のアルミニウム膜と1000Å厚のチタン膜でなる3層構造を有するものとして形成される。

【0044】この工程で形成される電極やパターンは、便宜上2層目の配線と呼ばれる。

【0045】まず最下層をチタン膜とするのは、アルミニウムと活性層を構成する半導体との電気的な接触がうまくいかないからである。これは、アルミニウムが半導体では良好なオーム接触がとれないことによる。

【0046】また中央の層をアルミニウムとするのは、その電気抵抗の低さを最大限利用するためである。

【0047】また最上層をチタン膜とするのは、後に形成される画素電極(ITO電極)と画素部の薄膜トランジスタのドレイン電極216とをコンタクトさせるためである。

【0048】即ち、アルミニウムとITO電極を直接コンタクトさせると良好なオーム接触がとれないが、チタン膜とITO電極、及びチタン膜とアルミニウムとは良好なオーム接触がとれるからである。

【0049】また、後の工程において、コモン部においてもBMと2層目のコモン電極217とをITO電極で接続することが必要される。この際、ITO電極との電気的な接触を良好なものとするために、2層目の配線の最上層をチタン膜とすることが必要とされる。

【0050】また、後の工程において、端子部においても2層目の配線でなる端子電極218及び219とITO電極とがコンタクトする必要がある。この際、端子電極とITO電極との電気的な接触を良好なものとするために、2層目の配線の最上層をチタン膜とすることが必要とされる。

【0051】こうして図2(E)に示す状態を得る。次に図3(A)に示すように第2の層間絶縁膜として酸化珪素膜301を2000Åの厚さに成膜する。

【0052】図3(A)に示す状態を得たら、図3(B)に示すようにBM(ブラックマトリクス)を構成するためにチタン膜を3000Åの厚さに成膜する。BMとしては、クロム膜またはチタン膜とクロム膜との積層膜、または他の適当な金属膜を用いることができる。

【0053】図3(B)において、BMとして機能するのは302で示される部分である。303で示されるのは、302で示されるBMからコモン部まで延在した部分である。

6

【0054】次に図3(C)に示すように第3の層間絶縁膜221を成膜する。ここでは、2000Å厚の酸化珪素膜をプラズマCVD法を成膜する。

【0055】さらに図3(C)に示すように開口222、223、224、225を形成する。ここで222は、端子部の電極を形成するための開口である。また223と224は、2層目の配線とBMとを電気的に接続するための開口である。

【0056】また225は、画素部分の薄膜トランジスタのドレイン電極216に後に画素電極であるITO電極がコンタクトするための開口である。

【0057】そして、図4(A)に示すようにITOでなる電極226と227と228とを同時に形成する。ここで、228が画素電極として機能する部分である。また227が2層目の配線217とBMから延在した電極パターン220とを接続するために電極パターンとなる。

【0058】なお、コモン部の電極パターン227上にはさらに銀ペーストで対抗基板との接触用の電極が形成される。

【0059】以上示した構成を採用することにより、BM層が電気的に浮いた状態とすることを避ける構成とすることができる。

【0060】例えば、図4(A)に示す工程の後には、図示しないファイナル保護膜を形成し、さらにその上に液晶をラビングするための図示しないラビング膜を形成し、その後にラビング工程が実施される。この際、静電気の発生により、薄膜トランジスタが破壊されたり絶縁膜が静電破壊してしまうことが多々ある。

【0061】しかし、本実施例に示す構成を採用した場合、ブラックマトリクスを所定の電位として、そこに電荷が蓄積することを避けることができるので、上記のような不良の発生を防止することができる。

【0062】〔実施例2〕本実施例は、実施例1とは一部の工程が異なった構成に関する。本実施例に示す作製工程は、図3(A)までは実施例1に示したものと同一である。

【0063】まず実施例1に示した作製工程に従って、図3(A)に示す状態を得る。図3(A)に示す状態を得たら、図5(A)に示すように開口部501、502、503を形成する。即ち、第2の層間絶縁膜301に501~503で示される開口を形成する。

【0064】次にBMを構成するチタン膜を成膜し、それをパターニングすることにより、図5(B)に示す状態を得る。

【0065】ここで507が本来のBMとしての機能を果たすパターンである。

【0066】また506がBMから延在したパターンと2層目のコモン用の電極217とを直接コンタクトさせるためのパターンである。

(5)

7

【0067】また、504と505が端子部を構成する一層目の電極218と219にコンタクトする電極である。

【0068】本実施例においては、端子部において、BMを構成する材料でもって電極が構成されることが実施例1と異なる点である。また、コモン部においてBMから延在した電極506と2層目のコモン電極217とが直接接触する点が実施例1と異なる点である。

【0069】図5(B)に示す状態を得たら、3層目の層間絶縁膜508を成膜する。ここでは、実施例1と同様に酸化珪素膜でもって3層目の層間絶縁膜508を形成する。(図5(C))

【0070】さらにコンタクトホールを形成を行う。そしてITO膜をスパッタ法で1500Åの厚さに成膜する。そしてそれをパターニングすることにより、画素電極512を形成する。

【0071】また同時にコモン部における電極511を形成する。この電極511は後に対向基板のコモン電極と接触するために電極となる。また504と505は、端子部における電極端子を形成するものとなる。

【0072】本実施例の構成を採用した場合、BM507から延在した電極506と2層目のコモン用の電極217とが直接接触する構成とすることができる。そしてそのコンタクトを確実なものとすることができる。

【0073】このBMと2層目のコモン用の電極との接続は、共通電位を保持するためのものであるから、その接触抵抗を極力低くする必要がある。このような目的のためには、本実施例の構成は有用なものとなる。

【0074】【実施例3】本実施例は、実施例1に示す構成において、2層目の配線をチタン膜／アルミニウム膜／チタン膜でなる3層膜とするのではなく、チタン膜／アルミニウム膜の2層膜で構成する場合の例を示す。

【0075】実施例1で述べたように、2層目の配線を3層構造とするのは、活性層とのコンタクト、ITOとのコンタクト、配線自身抵抗の低減、といった問題を解決するためである。

【0076】しかし、上記のような多層構造は、成膜工程が多くなるので、作製コストの削減を考えた場合、より層の数が少ないものとするのが好ましい。本実施例はこの点を考慮し、2層目の配線をチタン膜／アルミニウム膜の2層膜でよいものとした例である。

【0077】本実施例は、実施例1とは一部の工程が異なった構成に関する。本実施例に示す作製工程は、一部の工程を除いて図3(A)までは実施例1に示したものと同一である。

【0078】まず実施例1に示した作製工程に従って、図3(A)に示す状態を得る。この時、図2(D)に示す工程において、開口35は形成しない。

【0079】また、図2(E)に示す工程において、217～219、さらに36と212～215で示される

8

2層目の配線を1000Åのチタン膜と3000Åのアルミニウム膜との2層で構成する。なお当然電極216は形成しない。

【0080】こうして図3(A)に示す状態を得たら、図6(A)に示すように開口部501、502、503、601を形成する。即ち、第2の層間絶縁膜301に開口501～503、さらに601を形成する。

【0081】図6(A)は図5(A)に対応する。両図で異なるのは、図6(A)では、開口601が形成されているが、図5(A)では対応する部分では電極216が形成されている点である。

【0082】次にBMを構成するチタン膜を成膜し、それをパターニングすることにより、図6(B)に示す状態を得る。ここで507が本来のBMとしての機能を果たすパターンである。

【0083】またこのパターン506はBM507から延在したパターンと2層目のコモン用の電極217とを直接コンタクトさせるためのパターンである。

【0084】また、504と505が端子部を構成する一層目の電極218と219にコンタクトした電極である。

【0085】またこの工程において、開口601の部分にドレイン領域29とコンタクトする電極602をBM507を構成する材料でもって形成する。

【0086】本実施例においては、端子部において、BMを構成する材料でもって電極が構成されることが実施例1と異なる点である。また、BMと2層目のコモン電極217とが直接接触する点が実施例1と異なる点である。また画素部分の薄膜トランジスタのドレイン領域にコンタクトする電極602がBM材料でもって形成される点が実施例1及び実施例2と異なる。

【0087】図6(B)に示す状態において、217～219、さらに36と212～215で示される2層目の配線がチタンとアルミニウムでなる2層膜でよいことが明らかになる。

【0088】即ち、2層目の配線の上面にコンタクトしているのは、チタンでなるBM材料である。従って、2層目の配線の上面がアルミニウムであっても何ら問題なくオーム接触をとることができる。

【0089】従って、本実施例においては、2層目の配線を下層がチタン膜で上層がアルミニウム膜である2層構造とすることができる。

【0090】図6(B)に示す状態を得たら、3層目の層間絶縁膜508を成膜する。ここでは、実施例1と同様に酸化珪素膜でもって3層目の層間絶縁膜508を形成する。(図6(C))

【0091】さらにコンタクトホールを形成を行う。そしてITO膜をスパッタ法で1500Åの厚さに成膜する。そしてそれをパターニングすることにより、画素電極512を形成する。

(6)

9

【0092】また同時にコモン部における電極511を形成する。この電極511は後に対抗基板のコモン電極と接触するために電極となる。また509と510は、端子部における電極端子を形成するものとなる。

【0093】本実施例の構成を採用した場合、BM507から延在した電極506と2層目のコモン用の電極217とが直接接触する構成とすることができる。そしてそのコンタクトを確実なものとすることができる。

【0094】このBMと2層目のコモン用の電極との接続は、共通電位を保持するためのものであるから、その接触抵抗を極力低くする必要がある。このような目的のためには、本実施例の構成を採用するは好ましい。

【0095】また、それに加えて2層目の配線をチタン膜とアルミニウム膜との2層膜で構成することができる。このことは、工程を削減できる意味で有用なものとなる。

【0096】〔実施例4〕本実施例は、実施例1～3で示す工程におけるBMを構成する材料の成膜の際に、BMが成膜中に高い電位を有し、絶縁膜を静電破壊しないようにするための工夫に関する。

【0097】実施例1～3に示したようにBMは最終的には所定の電位になるべく構成される。しかし、BMの成膜の際（普通スパッタ法が利用される）には、成膜途中のBMに電荷が蓄積され、BMが他部に対して電位を有してしまうことが懸念される。

【0098】本実施例はこの問題を解決するものである。図7に本実施例に示す構成の概略を示す。まず図7(B)に示すように基板701上に第1の層間絶縁膜702と2層目の配線703を形成する。ここで、2層目の配線の一部を基板701の角の部分まで延在させて設けておく。

【0099】そして2層目の層間絶縁膜をプラズマCVD法で成膜する際において、図7(A)に示すように、2層目の配線の延在部分702が存在する部分を基板701を抑える爪705で押さえて、電極700上に配置する。

【0100】そしてこの状態において、図7(B)に示すように2層目の層間絶縁膜704の成膜を行う。すると、爪705が存在していた部分には成膜が行われない状態となる。

【0101】そして、BM材料をスパッタ法なりで成膜する。すると、成膜と同時に延在した2層目の配線703とBM膜706とがコンタクトする。このようにすると、BM材料の成膜途中、またはコモン電極の形成の前にBM材料が特定の電位になってしまうことを抑制することができる。

【0102】なお、702は2層目の配線が形成される基体となる絶縁膜である。

【0103】

【発明の効果】本明細書で開示する発明を用いること

10

で、ブラックマトリクスが帯電してしまう問題を解決することができる。即ち、ブラックマトリクスが帯電してしまうことによって生じる作製工程における不良の発生を抑制することができる。また装置完成後における信頼性を向上させることができる。

【図面の簡単な説明】

【図1】 アクティブマトリクス型の液晶表示装置の概要を示す図。

【図2】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図2】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図3】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図4】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図5】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図6】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図7】 BM材料の成膜状態を示す図。

【符号の説明】

101	アクティブマトリクス領域
102	BM（ブラックマトリクス）に形成された開口部
103	周辺駆動回路
104	端子
105、106、100	コモン電極
107	アクティブマトリクス回路の拡大図
108	ゲイト線
109	ソース線
110	薄膜トランジスタ
111	周辺駆動回路
201	ガラス基板
202、203、204	活性層
205	ゲイト絶縁膜
206、208、210	ゲイト電極
207、209、211	陽極酸化膜
21、26、27	ソース領域
23、24、29	ドレイン領域
22、25、28	チャネル形成領域
212	層間絶縁膜
30～35	コンタクト開口
218、219	端子電極
217	コモン電極
36、214、215	ソース電極
212、213、216	ドレイン電極
301	層間絶縁膜
302	BM（ブラックマトリクス）



(7)

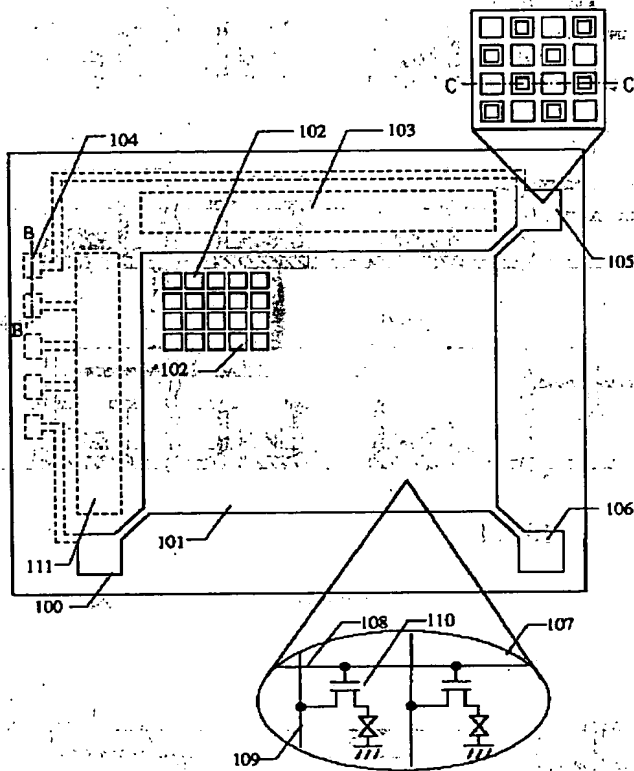
3 0 3  
2 2 1  
2 2 6

11  
コモン電極  
層間絶縁膜  
端子電極

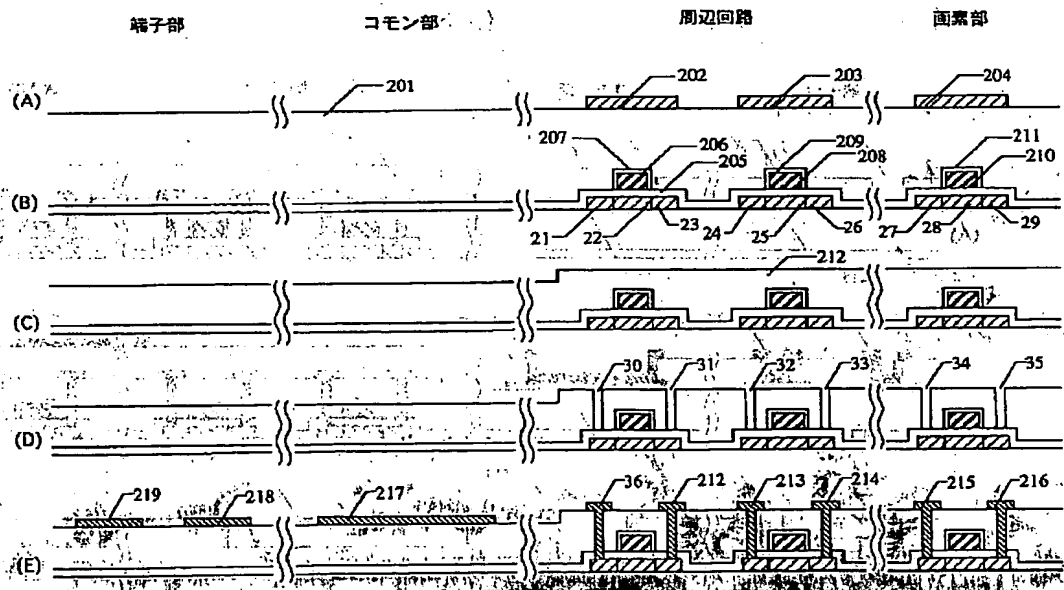
2 2 7  
2 2 8

12  
コモン電極  
画素電極

【図 1】

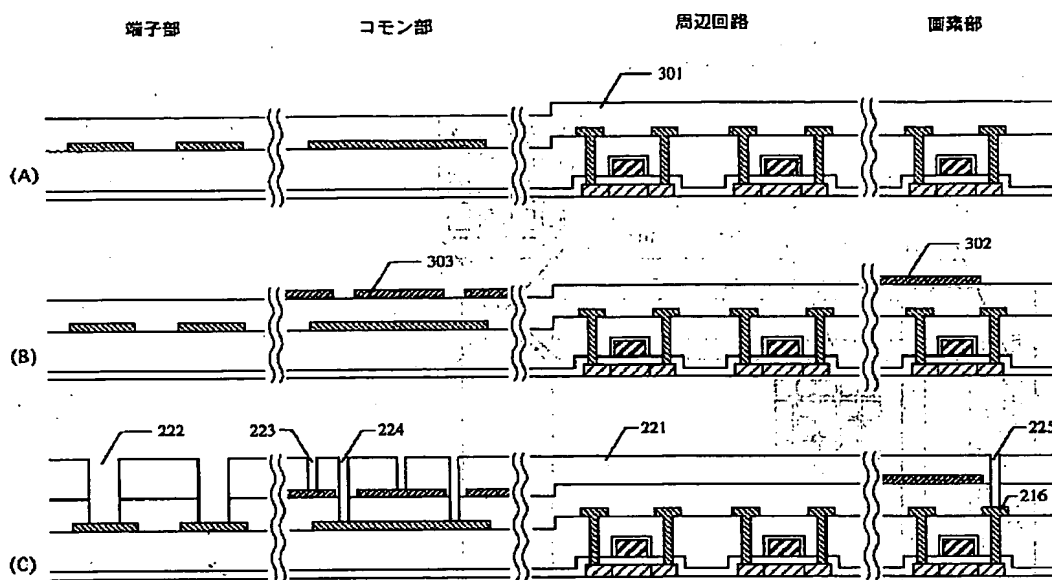


【図 2】

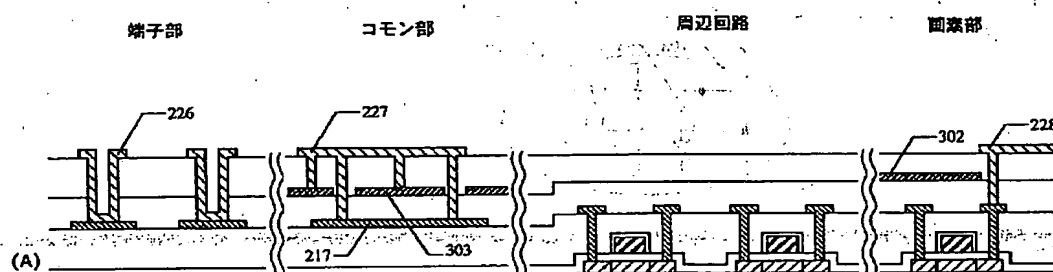


(8)

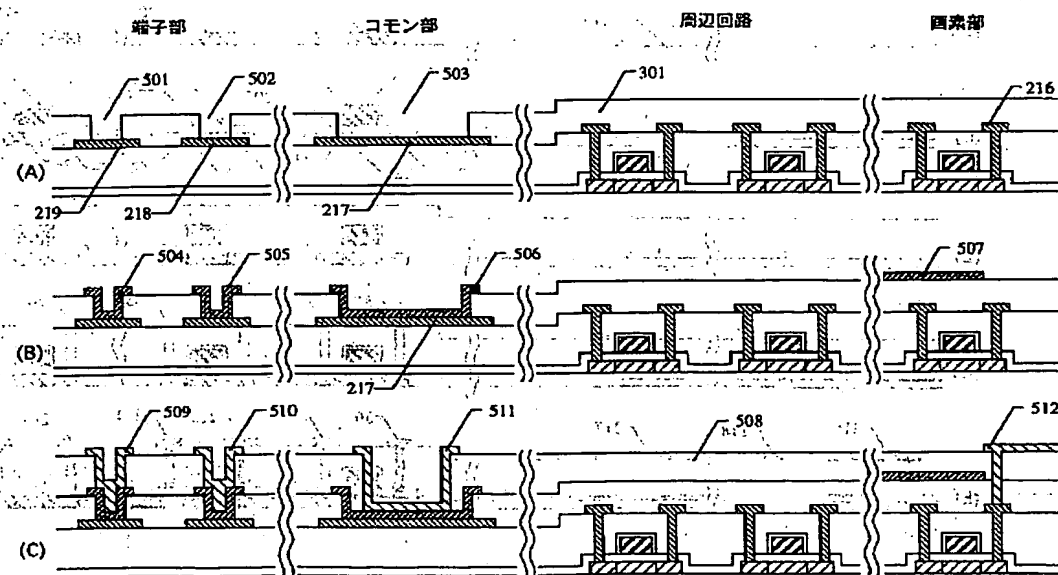
【図3】



【図4】

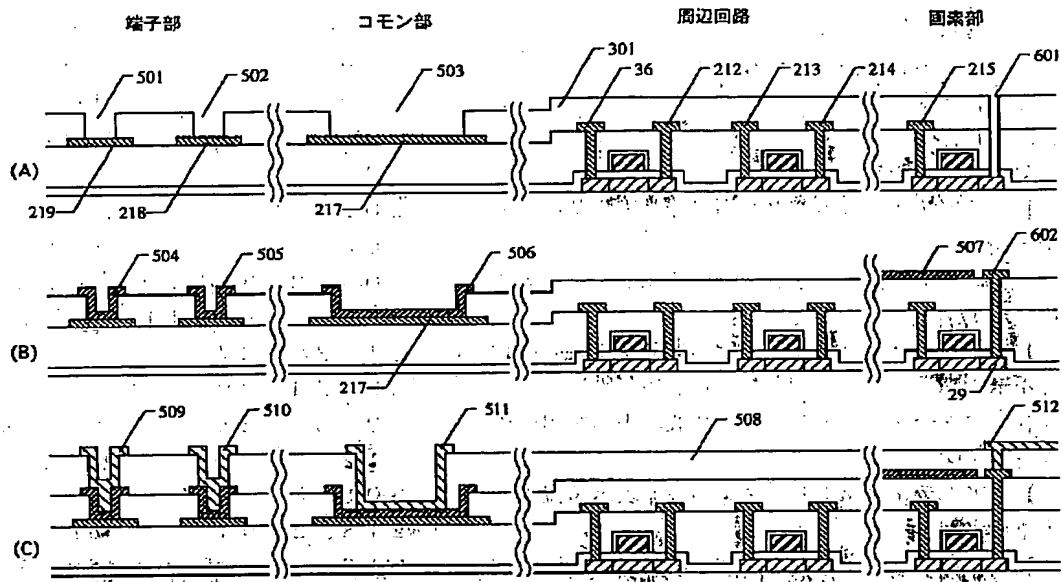


【図5】

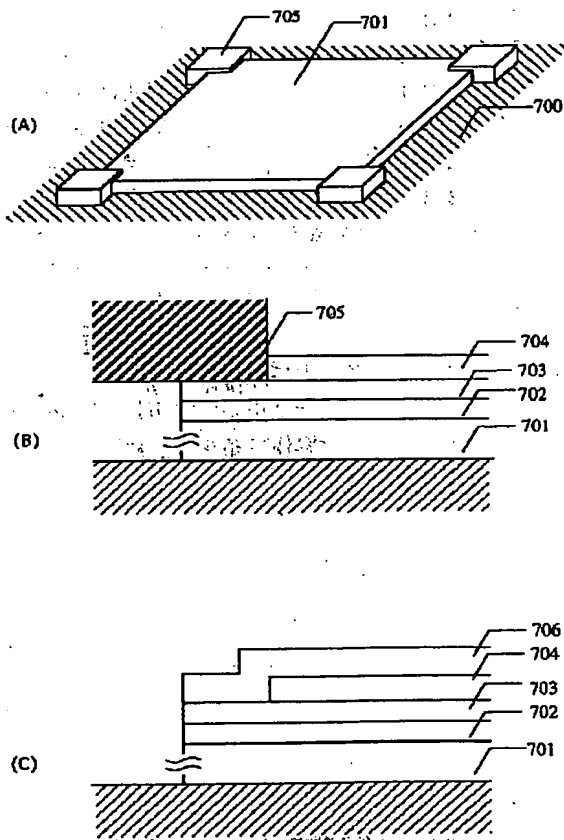


(9)

【図6】



【図7】



(10)

## 【手続補正書】

【提出日】平成8年5月30日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】 アクティブマトリクス型の液晶表示装置の概要を示す図。

【図2】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図3】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図4】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図5】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図6】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図7】 BM材料の成膜状態を示す図。

【符号の説明】

101                    アクティブマトリクス領域  
102                    BM（ブラックマトリクス）  
に形成された開口部  
103                    周辺駆動回路  
104                    端子  
105、106、100      コモン電極

107                    アクティブマトリクス回路の  
拡大図  
108                    ゲイト線  
109                    ソース線  
110                    薄膜トランジスタ  
111                    周辺駆動回路  
201                    ガラス基板  
202、203、204      活性層  
205                    ゲイト絶縁膜  
206、208、210      ゲイト電極  
207、209、211      陽極酸化膜  
21、26、27           ソース領域  
23、24、29           ドレイン領域  
22、25、28           チャネル形成領域  
212                    層間絶縁膜  
30～35                コンタクト開口  
218、219              端子電極  
217                    コモン電極  
36、214、215        ソース電極  
212、213、216       ドレイン電極  
301                    層間絶縁膜  
302                    BM（ブラックマトリクス）  
303                    コモン電極  
221                    層間絶縁膜  
226                    端子電極  
227                    コモン電極  
228                    画素電極

フロントページの続き

(72)発明者 須沢 英臣  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 山口 直明  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成15年1月29日(2003. 1. 29)

【公開番号】特開平9-230362  
【公開日】平成9年9月5日(1997. 9. 5)  
【年通号数】公開特許公報9-2304  
【出願番号】特願平8-58330  
【国際特許分類第7版】

G02F 1/1343  
1/1335

【FI】

G02F 1/1343  
1/1335

【手続補正書】

【提出日】平成14年10月21日(2002. 10. 21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】アクティブマトリクス型の液晶表示装置であつて、画素電極を構成する透明導電膜でもってブラックマトリクスをコモン電位とするための電極が形成されていることを特徴とする液晶表示装置。

【請求項2】アクティブマトリクス型の液晶表示装置であつて、ブラックマトリクスをコモン電位とするための電極がソース線と同一層に形成されていることを特徴とする液晶表示装置。

【請求項3】基板上に設けられた複数のゲイト配線、複数のソース線、透明導電膜でなる複数の画素電極と、金属膜でなるブラックマトリクスを有するアクティブマトリクス型の液晶表示装置であつて、前記複数の画素にはそれぞれ薄膜トランジスタが接続され、

前記ブラックマトリクスをコモン電位とするためのコモン電極がソース配線と同一層に形成されていることを特徴とする液晶表示装置。

【請求項4】請求項3において、前記ブラックマトリクスをコモン電位とするために、前記透明導電膜と同じ膜でなる電極によって前記ブラックマトリクスが前記コモン電極に電氣的に接続されていることを特徴とする液晶表示装置。

【請求項5】基板上に設けられた複数のゲイト配線、複数のソース線、透明導電膜でなる複数の画素電極と、金属膜でなるブラックマトリクスを有するアクティブマトリクス型の液晶表示装置であつて、前記複数の画素にはそれぞれ薄膜トランジスタが接続され、

前記ブラックマトリクスをコモン電位とするために、前記透明導電膜と同じ膜でなる電極が前記ブラックマトリクスに接続されていることを特徴とする液晶表示装置。

【請求項6】請求項3～5のいずれか一項において、前記画素電極は前記薄膜トランジスタのドレイン領域と電氣的に接続されており、前記画素電極と前記ドレイン領域を電氣的に接続するために、ソース配線と同一層に電極が設けられていることを特徴とする液晶表示装置。